

HALL DEVICE

Publication number: JP3011679 (A)

Publication date: 1991-01-18

Inventor(s): NAKAMURA TETSUO; KIKUCHI SATOSHI

Applicant(s): MITSUBISHI PETROCHEMICAL CO; NAKAMURA TETSUO

Classification:

- international: **G01R33/07; G01R33/06; H01L43/06; G01R33/06; H01L43/06;** (IPC1-7): G01R33/06; H01L43/06

- European:

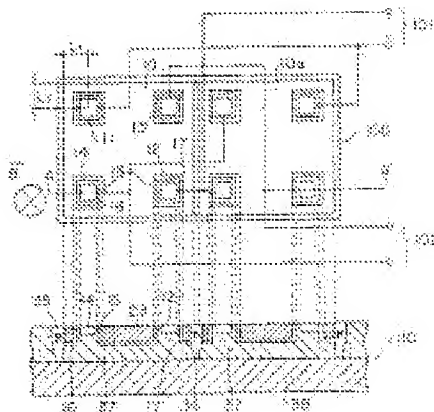
Application number: JP19890144023 19890608

Priority number(s): JP19890144023 19890608

Abstract of JP 3011679 (A)

PURPOSE:To enhance a sensitivity and to reduce an offset by a method wherein a Hall device is formed of a Hall element where an insulating layer has been formed on an n-epitaxial layer by filling a groove and by a separation. **CONSTITUTION:**Hall elements 10, 10a which have been formed by growing an n-epitaxial layer 37 on a p-type substrate 38 are arranged. These Hall elements 10, 10a respectively form the following: one pair of input electrodes 11, 12 formed on the n-epitaxial layer 37; one pair of output terminals 13, 14 used to output a Hall voltage; and an insulating layer by isolating filled grooves 22 to 24 in the n-epitaxial layer 37.

Thereby, a width through which carriers moving in the individual Hall elements 10, 10a are passed is narrowed. In addition, a direction of the carriers becomes a horizontal direction; a sensitivity is enhanced; it is possible to suppress an offset to be low by connecting a plurality of these Hall elements 10, 10a.



.....
Data supplied from the **esp@cenet** database — Worldwide

⑫ 公開特許公報(A) 平3-11679

⑤Int.Cl.⁵

識別記号

庁内整理番号

⑬公開 平成3年(1991)1月18日

H 01 L 43/06
G 01 R 33/06Z 6940-5F
H 8203-2G

審査請求 未請求 請求項の数 1 (全7頁)

⑭発明の名称 ホールデバイス

⑰特 願 平1-144023

⑱出 願 平1(1989)6月8日

⑲発明者 中村 哲郎 愛知県豊橋市北山町東浦2-1
 ⑲発明者 菊地 敏 愛知県豊橋市北山町37-6
 ⑲出願人 三菱油化株式会社 東京都千代田区丸の内2丁目5番2号
 ⑲出願人 中村 哲郎 愛知県豊橋市北山町東浦2-1
 ⑲代理人 弁理士 大塚 康徳 外1名

明 細 書

接続しているホール電圧出力線と、

1. 発明の名称

を有することを特徴とするホールデバイス。

ホールデバイス

2. 特許請求の範囲

p形基板上にnエピタキシャル層を成長させて
 形成されたホール素子を複数個配してなるホール
 デバイスであつて、

前記ホール素子のそれぞれはnエピタキシャル
 層上に形成された少なくとも1対の入力電極と、
 前記nエピタキシャル層上に形成されたホール電
 圧を出力するための少なくとも1対の出力端子
 と、前記nエピタキシャル層に溝充填分離により
 絶縁層を形成しており、

前記複数のホール素子の入力電極同士を並列に
 接続している電流供給線と、

前記複数のホール素子の出力端子同士を並列に

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はp形のシリコン基板上にnエピタキシャル層を形成して作成されたホール素子を同一チップ上に複数個形成してなるホールデバイスに関するものである。

〔従来技術〕

ホール素子はp形のサブストレート上にnエピタキシャル層を成長させ、その上に n^+ の4つの端子を形成して構成されている。これら4つの端子のうち、2つの端子はホール素子に電流を供給するための入力端子で、他の2つの端子は発生したホール電圧を出力するための端子である。これらホールデバイスの中には、4つのホール素子を電氣的に並列に接続した、交差接続された四角形構造(cross-coupled quad structure)のホール効

果デバイスがある。これらホール素子のうちの2つは互いに直交するように配置されており、そのうちの1組は、チップ(ホールデバイス)が金属性のヘッダ部に接着されるときの変位による構造的なオフセットを減少させるために使用され、他の組はフォトリソグラフィや他のホール素子の製造誤差などによるオフセットを減少させるために設けられている。

これら4つのホール素子は前述したように電氣的に並列に接続されており、ホール素子を流れる電流の方向は互いに90°になるように直交しているため、誤差電圧は4つの素子の間で平均化されて最小になり、構造的な変位によるホール素子全体としてのオフセットも低減されている。

〔発明が解決しようとしている課題〕

しかしながら、従来のこのような構成のホール

3

効果デバイスでは、チップ上のホール素子全体としてのオフセットの減少が考慮されているのみであり、個々のホール素子の形状に基づいたチップ全体のオフセットの低減あるいは感度の向上などが考慮されていない。このため、オフセットは完全に相殺されず(例えば2mV以下)、感度誤差も約160G程度まで低下しているだけで、より精度が高く、オフセットの少ないホール効果デバイスの出現が待ち望まれている。

本発明は上記従来例に鑑みてなされたもので、ホールデバイス上の各ホール素子を溝充填構造にすることにより、ホールデバイス全体の感度が向上するとともに、オフセット電圧が低下するようにしたホールデバイスを提供することを目的とする。

〔課題を解決するための手段〕

4

上記目的を達成するために本発明のホールデバイスは以下の様な構成からなる。即ち、

p形基板上にnエピタキシャル層を成長させて形成されたホール素子を複数個配してなるホールデバイスであつて、前記ホール素子のそれぞれはnエピタキシャル層上に形成された少なくとも1対の入力電極と、前記nエピタキシャル層上に形成されたホール電圧を出力するための少なくとも1対の出力端子と、前記nエピタキシャル層に溝充填分離により絶縁層を形成しており、前記複数のホール素子の入力電極同士を並列に接続している電流供給線と、前記複数のホール素子の出力端子同士を並列に接続しているホール電圧出力線とを有する。

〔作用〕

以上の構成において、p形基板上にnエピタキ

シヤル層を成長させて形成されたホール素子を複数個配してなり、これらホール素子のそれぞれは n エピタキシヤル層上に形成された少なくとも 1 対の入力電極と、 n エピタキシヤル層上に形成されたホール電圧を出力するための少なくとも 1 対の出力端子と、 n エピタキシヤル層に溝充填分離により絶縁層を形成されている。これにより、各ホール素子中を移動するキャリアの通過する幅を狭くするとともに、キャリアの方向が水平方向になるため、感度が向上でき、これら素子を複数接続してオフセットを低く抑えることができる。

[実施例]

以下、添付図面を参照して本発明の好適な実施例を詳細に説明する。

本実施例のホールデバイスを説明する前に、第 3 図を参照して従来のホールデバイス上の 1 つの

ホール素子 30 の構造について説明する。第 3 図で、31, 32 はホール素子 30 に電流 I を通電するための入力電極、33, 34 はこのホール素子 30 で発生するホール電圧 V_H を取出すためのホール電極である。39 はホール素子 30 の $A-A'$ 断面形状を示す図である。

37 は n エピタキシヤル (n -epi) 層、38 は p サブストレート (p 形基板)、32, 34 は電極を構成している n^+ 部である。35, 36 は $p-n$ 接合により電子に対する絶縁分離壁を形成している p 部分である。ここで、第 3 図のホール素子 30 の垂直方向 (図面に対し垂直な方向) に磁界 B がかけられると、電極 31, 32 の間を流れる電流が磁界 B によつて曲げられ、ホール電圧 V_H は、

$$V_H = R_H \cdot I \cdot B / d \quad \dots (1)$$

7

より求められる。ここで、 R_H はホール係数、 I は印加電流、 B は磁束密度、 d は素子の厚さである。また、ホール素子の幅を W 、ホール素子の長さを L とすると、ホール素子の入力抵抗 R は、

$R = \rho \cdot L / dW$ となる (ρ は比抵抗)。これより、 $1/d (=R \cdot W / (L \cdot \rho))$ を (1) 式に代入すると、 $V_H = R_H \cdot I \cdot B \cdot R \cdot W / (\rho \cdot L)$ となる。 $R \cdot I$ は入力電圧 V 、 R_H / ρ は電子移動度 μ であるため、ホール電圧 V_H は

$$V_H = \mu \cdot W \cdot V \cdot B / L \quad \dots (2)$$

でも表わすことができる。

ホール素子 30 の製造過程において、この厚みを制御するには、 p 形の S_i 基板の上に n エピタキシヤル層を形成する際、この層の成長速度を原料の供給量や温度及び時間等で極めて正確に制御する必要がある。本発明は各ホール素子の n エピタ

8

キシヤル層に溝充填分離により絶縁層を形成してキャリアの通過する範囲 (幅) を狭め、実質的に各素子の厚み d を小さくするとともに、 n エピタキシヤル層内のキャリアの移動方向を水平方向に規定することにより磁界 (B) に対するホール電圧 (V_H) を大きくして感度を上げようとするものである。

実施例のホールデバイスを説明する前に、そのデバイスを構成する 1 つのホール素子の構成について説明する。

[ホール素子の説明 (第 4 図)]

第 4 図は実施例のホールデバイスを構成している 1 つのホール素子 10 の形状及びその断面を示す図で、第 3 図の従来のホール素子 30 と共通する部分は同一番号で示している。

第 4 図において、11, 12 は電流を通電する

入力電極、13、14はホール電圧 V_H を出力するホール電極である。18はホール素子10の $B-B'$ の断面形状を示している。ここでは、従来のバイポーラ・プロセスと同様に、p形シリコン基板38に熱拡散などによりnエピタキシャル層37を成長させ、熱拡散あるいはイオン注入により絶縁分離壁であるp層35、36を形成している。

15～17で示された部分は、RIE(Reactive ion etching)を用いた加工技術により、幅の狭い溝(トレンチ)を形成し、その溝にベースボロン拡散などによりp層を形成した部分である。そして、さらにこのp層15～17の内側部分22～24のそれぞれは、ポリイミドなどにより充填されて、絶縁層を形成している(トレンチ・アイソレーション)。このようなトレンチ構造にす

1 1

し、このnエピタキシャル層37の深さは約17 μm としている。

[ホールデバイスの説明(第1図、第2図)]

第1図は第4図に示すホール素子10、10aを2個接続して形成されたホールデバイス100の構成及びその $A-A'$ の断面形状110を示す図で、第4図と共通する部分は同一番号で示している。なお、ホール素子10aはホール素子10と全く同じ構成であり、図面を簡単にするため、一方のホール素子10aの断面形状における番号付けは省略している。

図において、101は電圧を印加して電流を通電する入力端子、102はホール電圧を出力するホール電極である。図から明らかなように、ホール素子10と10aに通電される2つの電流の流れる方向は互いに直交している。そして、出力さ

ることにより、絶縁層23の断面形状を矩形にできるため、電極11と12の間を流れる電流(多数キャリアの移動)の方向の斜め方向の成分をなくすることができるため、nエピタキシャル層37内の電流の流れる方向は水平方向になる。

このように、nエピタキシャル層37内で多数キャリアが水平方向に移動する経路を長くすることにより、磁界による影響を受けるキャリアの移動距離を長くとれるため、ホール素子としての感度が向上することになる。また、前述した第1式により、nエピタキシャル層37内における多数キャリアの移動する幅(ホール素子の厚み)が狭められるため、所定の磁界 B に対するホール電圧 V_H が大きくなり、感度が向上することがわかる。なおこの実施例では、トレンチ部分23の深さはnエピタキシャル層37の約10～90%と

1 2

れるホール電圧は並列に接続されているため、その出力値は2つのホール素子10、10aの平均値となる。また、2つのホール素子10、10aを図のように接続することにより、2つの素子のオフセット出力は互いに打ち消されて、オフセットのより少ないホールデバイスが作成できる。

第2図は他の実施例のホールデバイス200の構成を示す図で、4つのホール素子10、10a～10cが1つのホールデバイス上に形成されている。これら各ホール素子は、第4図に示すホール素子と同じ構成により作成されている。なお、201は各ホール素子に電流を印加するための入力電極、202は各ホール素子のホール電圧を並列に接続したホール出力端子である。

この場合も、各ホール素子における電流方向は互いに直交しており、そのホール電圧も並列に接

続されているため、ホールデバイス全体としての出力ホール電圧は平均値がとられ、各ホール素子のオフセットは互いに打ち消される。

〔他の実施例〕

①第1図において、供給電極11、12とホール電極13、14の各端子と絶縁分離壁35、36との距離(L_1 、 L_2)を素子実装上の範囲内で最大限に取り(ここでは $50\mu\text{m}$ 以上とし、好ましくは $80\sim1000\mu\text{m}$ の範囲に取る)、マスク合せなどのズレにより生じるオフセット電圧を軽減することができる。

②前述した第(2)式のホール電圧の関係式 $V_H = \mu W \cdot V \cdot B / L$ より、ホール素子の長さ L を短くし、ホール素子の幅 W を広くすることによりホール電圧 V_H を大きくして、感度を向上させることができることがわかる。従つて、電流供給用

電極11と電極12との距離(ホール素子の長さ L)と、ホール電極13と14の距離(ホール素子の幅 W)を変化させることにより、ホール素子の感度を更に高めることができる。

③またさらに本実施例によれば、ホール素子の絶縁分離壁をp層部分35、36で形成するようにしたが、この部分をトレンチ構造にして絶縁することにより、さらに集積度を上げることができる。

以上説明したように本実施例のホールデバイスによれば、更に感度を向上させるとともに、低消費電力で、経年変化を少なくできる効果がある。

また、本実施例のホールデバイスによれば、微小磁界が検出でき、出力されるホール電圧も磁界の強さに比例したものになるため、DC成分からAC成分までの加速度を検出できる新型の加速度

15

センサが開発できる可能性がある。

また、このホールデバイスは、地磁気や流量、膜圧及び方位などを検出する多種多様なセンサに応用できる。

またさらに、本実施例のホールデバイスは、バイポーラ・プロセスによるシリコンに形成したホール素子により構成されているため、その信号処理回路などを含めた1チップ化が可能となり、インテリジェント・センサの開発が可能になる。

〔発明の効果〕

以上説明したように本発明によれば、バイポーラ・プロセスによるホール素子の製造工程を生かし、nエピタキシャル層に溝充填分離により絶縁層を形成したホール素子によりホールデバイスを形成することにより、感度向上、オフセットの低減、さらには低消費電力及び経年変化を向上でき

16

る効果がある。

なお、この実施例では各ホール素子における電流の流れる方向を直交させ、各ホール素子の出力ホール電圧の平均値が出力されるように各ホール素子を接続したがこれに限定されるものでなく、電流方向を直交させて、各ホール素子の出力ホール電圧の差が出力されるように各ホール素子を接続しても良く、あるいは各ホール素子の電流方向を一致させて、各出力ホール電圧の差あるいは平均値が出力されるように接続してもよい。

また、この実施例では、ホール素子の数が2個あるいは4個の場合で説明したが、これに限定されるものでないことはもちろんである。

4. 図面の簡単な説明

第1図は実施例のホールデバイスの形状及びその断面形状を示す図、

17

18

第 2 図は他の実施例のホールデバイスの構造を示す図、

第 3 図は従来のホール素子の形状及びその断面形状を示す図、そして

第 4 図は実施例のホールデバイスにおけるホール素子の形状及び断面形状を示す図である。

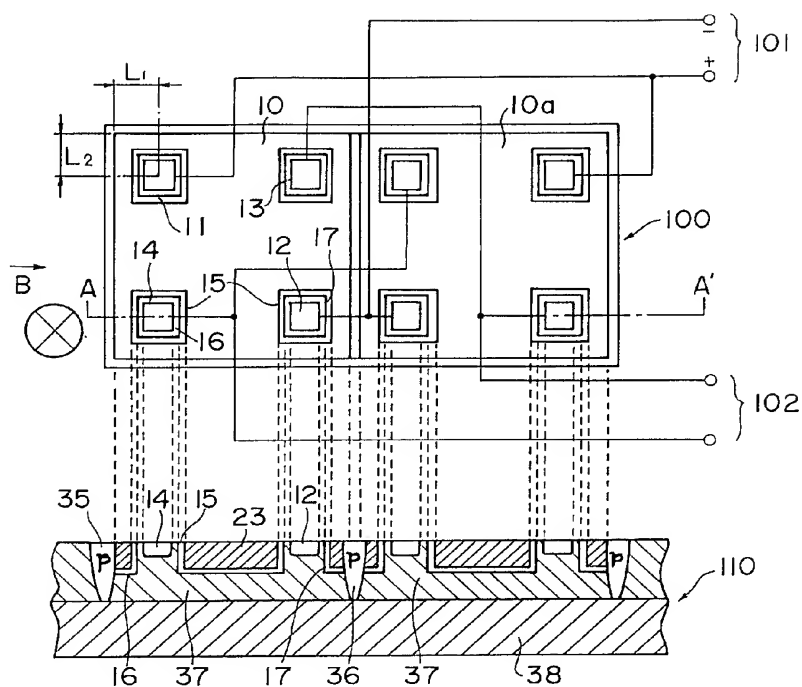
図中、10、10a～10c…ホール素子、11、12…入力電極、13、14…ホール電圧の出力端子、15～17…トレンチのp層部分、22～24…トレンチ（溝充填部）、35、36…絶縁分離壁、37…nエピタキシャル層、38…p形基板（サブストレート）、100、200…ホールデバイス、101、201…入力電極、102、202…ホール出力端子である。

特 許 出 願 人 三 菱 油 化 株 式 会 社

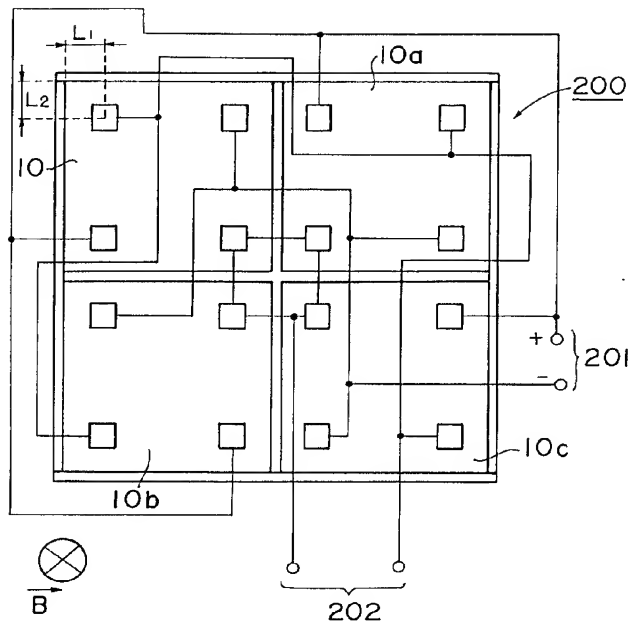
代 理 人 弁 理 士 大 塚 康 徳 （ 他 1 名 ）



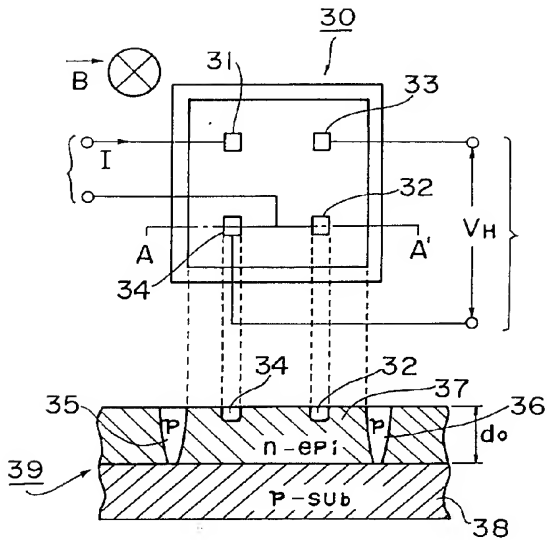
19



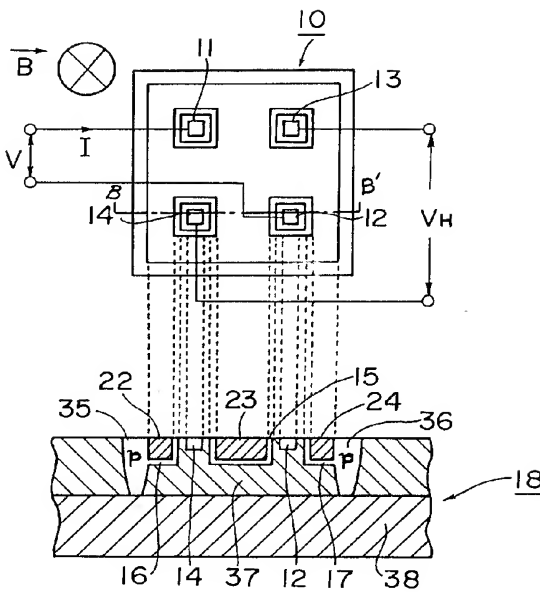
第 1 図



第 2 図



第 3 図



第 4 図